

次世代プロセッサ「C e l l」

Cell は最新テクノロジーの導入により、日常生活の中で、高度なブロードバンド・メディア処理をスーパーコンピュータ並みの高性能で実現することを可能とします。

概要：

- 従来の常識を打ち破るアーキテクチャ・デザイン:8個の Synergistic Processing Units (以下、SPU)と Power ベースコアで構成。4GHz を超えるクロックスピードを実現 (初期テストでの評価による)
- マルチコア・アーキテクチャの採用:高性能な浮動小数点演算機能をもつ8個の SPU と64ビットの Power ベースのプロセッサコアで構成
- OS を特定せず、マルチ OS の同時実行に対応
- 設計最適化のために以下を適用:独自の回路技術、設計再利用のためのモジュール性とカスタムクロック構造、独自のパワー・熱制御コンセプトのデザインへの採用

マルチコア・アーキテクチャ

- 各128本の128ビットレジスタファイルと256KB のローカルストアを有する独立した8個の SPU
- 2スレッド SMT 機能を持つ VMX 拡張付き64ビット Power Architecture™ ーシステムメモリに対して10ウェイのコヒレント・スレッド・マシンとして認識。
- 2.5MB オン チップメモリ(512KB L2 + 8* 256KB)
- トランジスタ数: 2億3,400万個
- 試作チップ面積:221mm²
- 90nm の SOI (Silicon-on-insulator) プロセス技術の採用
- モジュラー構造を採用、SPU 数の増減により浮動小数点演算能力の調整が可能。

ブロードバンド・アーキテクチャ

- 64ビット Power Architecture™ との互換性
- SPU は SIMD 構造とローカルストアをもった RISC アーキテクチャを採用
- プロセッサあたり128以上のメモリへの同時データランザクション
- 96B/cycle のハイスピード内部インターコネクト・バス

リアルタイム・アーキテクチャ

- リソース割付機能 (帯域幅制御のため)
- キャッシュ・ロック機能 (置換制御テーブルによる)
- 同時実行される複数の OS 間にまたがるリアルタイム応答性を持つ仮想化機能サポート

高度なセキュリティ機能を実現するアーキテクチャ

- 柔軟なセキュリティプログラミングを実現する SPU ダイナミック・コンフィギュレーション

最新技術の結集

- 従来型アプリケーションならびにリアルタイムアプリケーションをサポートする仮想化技術
- 自律的パワー制御機能
- リアルタイム・ヒューマン・インターアクションを実現する、リソース・マネジメント
- 帯域幅を持続する高性能なメモリー・フロー・コントローラ(DMA)